

Analisis Performansi Dinamik *Automatic Voltage Regulator* dengan Kombinasi Pengendali pada Arsitektur 2DOF

Gema Azzanni Putra, Heru Dibyo Laksono*

Teknik Elektro, Universitas Andalas, Padang

*herudibyoalaksono@eng.unand.ac.id

Abstrak— Penelitian ini membahas tantangan dalam pembangkitan tenaga listrik terkait fluktuasi tegangan keluaran generator akibat perubahan beban. Sistem interkoneksi berskala besar menggunakan *Automatic Voltage Regulator* (AVR) untuk mengatasi fluktuasi tersebut, meningkatkan kehandalan sistem, dan memudahkan perancangan. Sebagian besar AVR yang ada mengadopsi algoritma Proporsional Integral Derivatif (PID), yang terus dikembangkan oleh peneliti. Penelitian dimulai dengan analisis performansi dinamik saat kondisi transien dan kondisi steady state sistem AVR tanpa pengendali, kemudian dilakukan perancangan pengendali Dua Derajat Kebebasan (2 DOF). Pengendali P, I, PI, PD, PID, PDF, dan PIDF, dikombinasikan dalam arsitektur 2 DOF. Konstanta pengendali ditentukan menggunakan PIDTune pada Matlab. Hasil simulasi menunjukkan performansi dinamik enam pengendali yang memenuhi kriteria perancangan, seperti P-PDF, PID-PID, PID-PIDF, PIDF-I, PIDF-PID, dan PIDF-PID. Kesimpulan dari penelitian ini adalah bahwa sistem AVR dengan pengendali arsitektur dua derajat kebebasan memberikan kinerja baik pada kombinasi pengendali tertentu. Kriteria perancangan pada kondisi transien dan kondisi steady state terpenuhi oleh keenam pengendali tersebut. Kesimpulan dari penelitian ini adalah bahwa sistem AVR dengan pengendali arsitektur dua derajat kebebasan memberikan kinerja baik pada kombinasi pengendali tertentu. Sedangkan untuk kondisi steady state nilai kesalahan keadaan mantap pada masukan undak bernilai nol karena tipe sistem AVR dengan keenam pengendali tersebut >1 .

Kata Kunci— *Automatic Voltage Regulator, Kendali, PID, 2 DOF.*

DOI: 10.22441/jte.2024.v15i2.007

I. PENDAHULUAN

Salah satu tantangan utama dalam menghasilkan tenaga listrik adalah fluktuasi tegangan keluaran generator yang timbul akibat perubahan beban pada generator [1]. Pada sistem interkoneksi berskala besar, penggunaan penstabil tegangan manual hampir tidak mungkin ditemukan. Sebagai solusi, digunakan perangkat otomatis yang dikenal sebagai *Automatic Voltage Regulator* (AVR) pada setiap generator pembangkit listrik [2]. Penerapan AVR memberikan keunggulan bukan hanya dalam keandalan sistem, tetapi juga dalam kemudahan perancangan dan implementasi [3], [4]

Sebagian besar AVR yang dapat ditemukan umumnya masih mengadopsi algoritma *Proporsional Integral* (PI) atau *Proporsional Integral Derivatif* (PID) [5]. Algoritma ini telah menjadi fokus penelitian dan pengembangan oleh para peneliti dan pengembang dari waktu ke waktu, terutama dalam konteks AVR pada sistem eksitasi pembangkit listrik. Pengendali PID

yang digunakan untuk AVR sistem eksitasi pada pembangkit listrik yang digunakan hingga sekarang terus disempurnakan dengan penentuan parameter secara otomatis dan optimalisasi nilai parameter [6], [7].

Namun, hampir seluruh pengendali PID pada AVR memiliki arsitektur yang mirip, di mana sinyal pengendali dihasilkan melalui penjumlahan dari faktor proporsional, faktor integral, dan faktor diferensial [8]. Semua faktor ini diperoleh dengan mengalikan nilai gain masing-masing dengan nilai kesalahan. Nilai kesalahan sendiri merupakan selisih antara nilai referensi tegangan terminal generator dan tegangan terminal generator yang sesungguhnya [9].

Dalam penelitian ini, tujuannya adalah untuk mencapai peningkatan kinerja pada sistem kendali AVR generator sinkron melalui penerapan metode pengendalian yang lebih efektif daripada pengendali PID konvensional. Serta mendapatkan data analisis performansi dinamik saat kondisi transien dan kondisi *steady state* dari perubahan respons tegangan sistem AVR dengan kombinasi pengendali Proporsional (P), Integral (I), Proporsional Integral (PI), Proporsional Diferensial (PD), Proporsional Integral Diferensial (PID), Proporsional Integral Diferensial dengan Filter (PDF), Proporsional Integral Diferensial dengan Filter (PIDF) pada arsitektur dua derajat kebebasan (2 DOF). Kemudian ditentukan pengendali yang paling optimal pada sistem AVR melalui kriteria perancangan yang telah ditetapkan. Semua eksperimen ini dilakukan melalui simulasi pada perangkat lunak Matlab.

II. PENELITIAN TERKAIT

Penelitian sebelumnya oleh Tri Dedi Pamungkas mengusulkan modifikasi pada Topologi PID pada AVR digital, disebabkan oleh ketidakoptimalan topologi PID yang umumnya digunakan. Modifikasi dilakukan untuk meningkatkan regulasi tegangan terminal generator dengan lebih cepat, lebih akurat, dan menjaga stabilitas terhadap gangguan torsi. Evaluasi performa AVR digital yang telah dimodifikasi dilakukan melalui eksperimen menggunakan sistem *Hardware in the Loop* (HIL), serta dibandingkan dengan AVR digital yang menggunakan algoritma PID konvensional. Hasil eksperimen menyatakan bahwa algoritme PID dengan modifikasi topologi yang diusulkan menghasilkan kinerja yang lebih superior dibandingkan dengan algoritme PID konvensional pada AVR digital yang telah dibangun dan dirancang [8].

Penelitian karya Iftekar Ibne Basith berjudul "*Intelligent PID Controller for Automatic Voltage Regulation*" mengusulkan beberapa metode untuk melakukan penyetelan

pada konstanta pengendali PID sistem AVR. Metode PID yang digunakan yaitu penyetelan berbasis jaringan syaraf tiruan, penyetelan *Particle Swarm Optimazion* (PSO), penyetelan *Water Cycle Types Algorithm* (WCA). Penelitian ini memberikan informasi terkait kinerja pengendali PID berdasarkan konstanta penyetelan PID dengan metode yang digunakan [10].

Charles Ronald melakukan penelitian pada *Self Tuning* Dua Derajat kebebasan (2 DOF) dengan metode *Fuzzy Logic* pada pengendalian kecepatan motor sinkron. Pada penelitian ini konstanta penyetelan pengendali yang digunakan (pengendali PI-I) secara otomatis ditentukan oleh sistem kendali *fuzzy logic*. Penelitian ini dilakukan untuk mendapatkan perbandingan sistem kendali konvensional dengan sistem kendali *self tuning fuzzy* [11].

III. METODOLOGI PENELITIAN

Penelitian dimulai dengan melakukan analisis performansi dinamik berupa respons keadaan *transien* dan *steady state* pada sistem AVR. Sistem AVR terdiri dari *amplifier*, *eksiter*, dan generator. Fungsi transfer sistem AVR tanpa pengendali terdapat pada persamaan (1) berikut.

$$\frac{V_t(S)}{V_{ref}(S)} = \frac{32}{2,5 \cdot 10^{-6} S^4 + 0,2506 S^3 + 0,5752 S^2 + 1,55 S + 1} \quad (1)$$

Selanjutnya dilakukan perancangan sistem AVR dengan pengendali, dimana konstanta pengendali ditentukan melalui

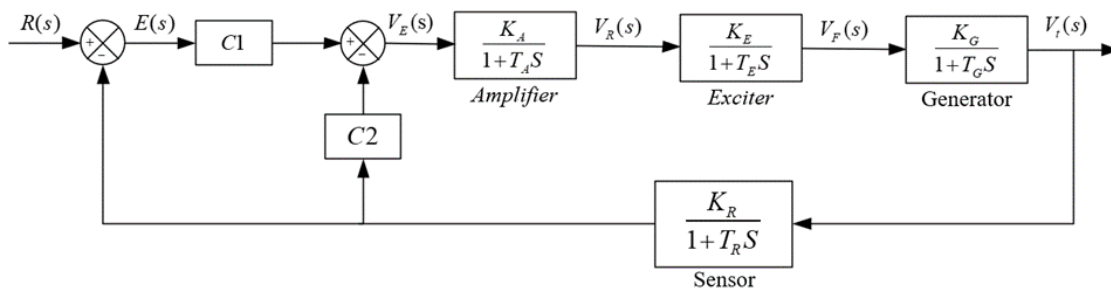
metode *PIDTune* pada perangkat lunak Matlab. Hasil dari penyetelan konstanta pengendali ini digabungkan dengan fungsi transfer AVR (*amplifier*, *exciter*, dan generator) sehingga menghasilkan fungsi transfer baru untuk setiap pengendali dalam sistem AVR. Setelah itu, dilakukan analisis performansi dinamik pada sistem AVR dengan pengendali berupa performansi keadaan *transien* dan *steady state*.

Analisis performansi dinamik keadaan *transien* meliputi *rise time* (tr), *peak time* (tp), *settling time* (ts), nilai puncak, dan *maximum overshoot* (Mp). Untuk keadaan *steady state* performansi dianalisis berdasarkan nilai *error steady state* (e_{ss}) pada masukan undak [12], [13]. Kemudian, perancangan sistem pengendali AVR dilanjutkan dengan merancang pengendali dua derajat kebebasan (2 DOF). Pengendali yang dirancang terdiri dari pengendali Proposional (P), Integral (I), Proposional Integral (PI), Proposional Differensial (PD), Proposional Integral Differensial (PID), Proposional Differensial dengan Filter (PDF), Proposional Integral Differensial dengan Filter (PIDF). Pengendali ini dikombinasikan sehingga terdapat 49 pengendali pada arsitektur 2 DOF. Dimana pengendali P hingga PIDF dikombinasikan pada pengendali 1 (C1) dan Pengendali 2 (C2). Kombinasi pengendali ini terdapat pada Tabel 1.

Pengendali C1 terletak pada *forward path* sistem AVR, sedangkan C2 terletak pada *feedback path*. Posisi Pengendali C1 dan C2 ini lebih spesifik masuk kedalam *Feedback Type* (FB) pengendali 2 DOF [14], [15]. Diagram blok AVR dengan pengendali 2 DOF terdapat pada Gambar 1.

Tabel 1. Tabel Kombinasi Pengendali

		Pengendali 1 (C1)						
		P	I	PI	PD	PID	PDF	PIDF
Pengendali 2 (C2)	P	P-P	I-P	PI-P	PD-P	PID-P	PDF-P	PIDF-P
	I	P-I	I-I	PI-I	PD-I	PID-I	PDF-I	PIDF-I
	PI	P-PI	I-PI	PI-PI	PD-PI	PID-PI	PDF-PI	PIDF-PI
	PD	P-PD	I-PD	PI-PD	PD-PD	PID-PD	PDF-PD	PIDF-PD
	PID	P-PID	I-PID	PI-PID	PD-PID	PID-PID	PDF-PID	PIDF-PID
	PDF	P-PDF	I-PDF	PI-PDF	PD-PDF	PID-PDF	PDF-PDF	PIDF-PDF
	PIDF	P-PIDF	I-PIDF	PI-PIDF	PD-PIDF	PID-PIDF	PDF-PIDF	PIDF-PIDF



Gambar 1. Diagram Blok AVR dengan Pengendali Arsitektur Dua Derajat Kebebasan

Berdasarkan hasil pengumpulan data respons sistem AVR dengan pengendali 2 DOF, respons sistem akan diklasifikasikan menjadi dua kriteria, yakni yang memenuhi kriteria perancangan

dan yang tidak memenuhi kriteria perancangan. Nilai-nilai kriteria perancangan pada penelitian ini meliputi respons sistem pada keadaan *transien* dan *steady state* pada Tabel 2 berikut.

Tabel 2. Kriteria Perancangan

Kedadaan Respons	Kriteria	Nilai
Transien	Rise Time (Tr)	< 0,5 detik
	Peak Time (Tp)	<1,5 detik
	Settling Time (Ts)	< 2,5 detik
	Nilai Puncak	< 1,2
	Maximum Overshoot (Mp)	< 20%
Steady State	Kesalahan Keadaan Mantap (e_{ss}) dengan masukan undak	< 0,05 detik

IV. HASIL DAN ANALISA

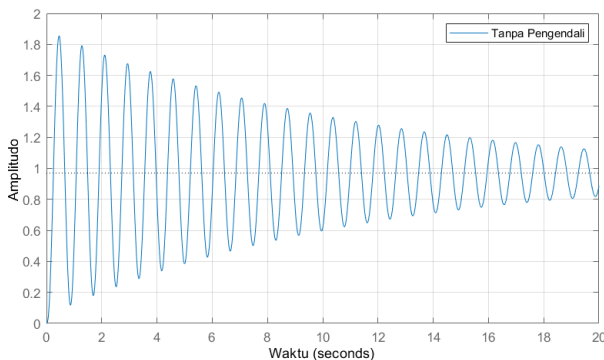
A. Hasil

Berdasarkan simulasi sistem AVR tanpa pengendali didapatkan hasil respons kondisi *transien* dan *steady state* pada Tabel 3.

Tabel 3. Respon Sistem AVR Tanpa Pengendali

Kedadaan Respons	Kriteria	Nilai
Transien	Rise Time (Tr)	< 0,14 detik
	Peak Time (Tp)	< 0,45 detik
	Settling Time (Ts)	< 43,44 detik
	Nilai Puncak	< 1,85
	Maximum Overshoot (Mp)	< 91,45%
Steady State	Kesalahan Keadaan Mantap (e_{ss}) dengan masukan undak	< 0,03 detik

Respons sistem AVR tanpa pengendali ini memiliki beberapa kriteria yang tidak masuk kedalam perancangan. Dimana Nilai waktu keadaan mantap, nilai puncak, dan nilai lewatan maksimum pada sistem ini berselisih besar. Sehingga sistem tanpa pengendali ini tidak masuk kedalam kriteria perancangan pada penelitian ini.



Gambar 2. Grafik Respons *Transien* Sistem AVR

Pada Gambar 2 grafik tersebut menggambarkan respons keadaan transien dari sistem AVR tanpa pengendali. Grafik tersebut menggambarkan hubungan antara besaran nilai keluaran sistem AVR dalam besaran (Amplitudo) terhadap waktu (*Seconds*).

Hasil simulasi dari 49 kombinasi pengendali pada sistem AVR dengan pengendali Dua derajat kebebasan (2DOF) menunjukkan bahwa respons enam pengendali memenuhi kriteria perancangan yang telah ditetapkan. Pengendali-pengendali tersebut meliputi: Proposional-Proposional Differensial Filter (P-PDF), Proposional Integral Differensial-Proposional Integral Differensial (PID-PID), Proposional Integral Differensial- Proposional Integral Differensial Filter

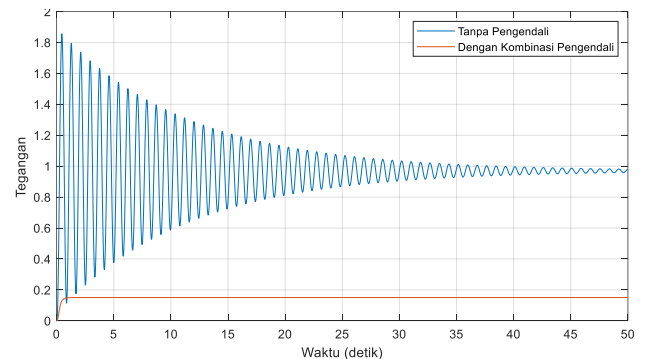
(PID-PIDF), Proposional Integral Differensial Filter- Integral (PIDF-I), Proposional Integral Differensial Filter- Proposional Integral Differensial (PIDF-PID), dan Proposional Integral Differensial Filter- Proposional Integral Differensial Filter (PIDF-PID).

Dengan merujuk pada hasil simulasi yang dilakukan menggunakan perangkat lunak Matlab, Tabel 4 menyajikan perhitungan parameter respons tegangan sistem AVR dengan pengendali P-PDF pada arsitektur Dua derajat kebebasan dengan pengendali.

Tabel 4. Respon Sistem AVR Pengendali (P-PDF)

Kedadaan Respons	Kriteria	Nilai
Transien	Rise Time (Tr)	< 0,42 detik
	Peak Time (Tp)	< 1,47 detik
	Settling Time (Ts)	< 0,86 detik
	Nilai Puncak	< 0,15
	Maximum Overshoot (Mp)	< 0%
Steady State	Kesalahan Keadaan Mantap (e_{ss}) dengan masukan undak	< 0 detik

Respons transisi tegangan pada sistem AVR, baik dengan atau tanpa penerapan pengendali P-PDF pada arsitektur dua derajat kebebasan direpresentasikan dalam grafik pada Gambar 3.



Gambar 3. Grafik Respons *Transien* Sistem AVR (P-PDF)

Berdasarkan visualisasi grafik pada Gambar 3 terlihat sistem AVR dengan pengendali P-PDF memiliki respon jauh lebih baik dalam keadaan *transien* maupun dalam keadaan *steady state*.

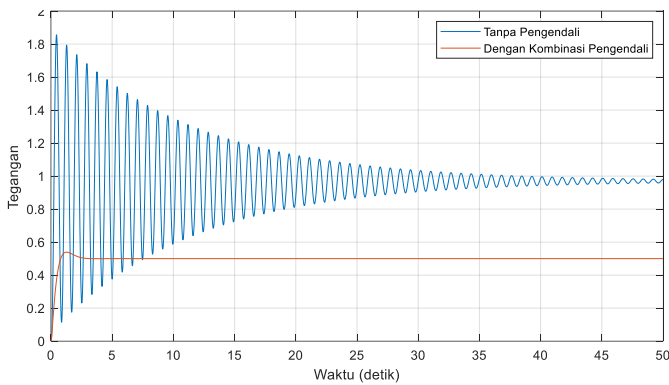
Selanjutnya hasil simulasi pengendali yang memenuhi kriteria perancangan yaitu PID-PID. Perhitungan parameter respons tegangan sistem AVR dengan pengendali PID-PID pada arsitektur dua derajat kebebasan dengan pengendali terdapat pada Tabel 5.

Tabel 5. Respon Sistem AVR Pengendali (PID-PID)

Kedadaan Respons	Kriteria	Nilai
Transien	Rise Time (Tr)	< 0,54 detik
	Peak Time (Tp)	< 1,27 detik
	Settling Time (Ts)	< 2,28 detik
	Nilai Puncak	< 0,53
	Maximum Overshoot (Mp)	< 0%
Steady State	Kesalahan Keadaan Mantap (e_{ss}) dengan masukan undak	< 0 detik

Respons transisi tegangan pada sistem AVR, baik dengan atau tanpa penerapan pengendali PID-PID pada arsitektur dua

derajat kebebasan direpresentasikan dalam grafik pada Gambar 4.



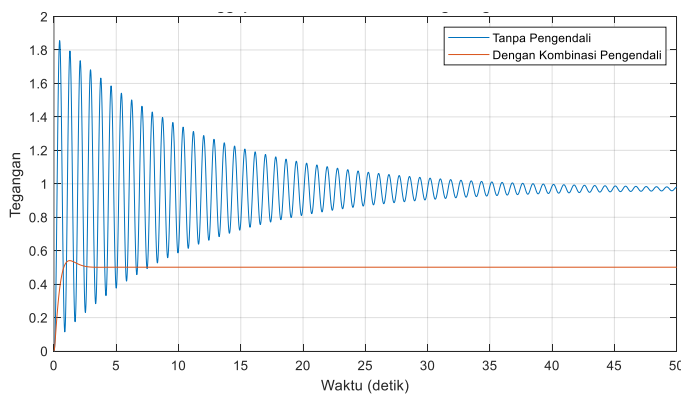
Gambar 4. Grafik Respons *Transien* Sistem AVR (PID-PID)

Hasil simulasi pengendali yang memenuhi kriteria perancangan berikutnya yaitu PID-PIDF. Perhitungan parameter respons tegangan sistem AVR dengan pengendali PID-PIDF pada arsitektur Dua derajat kebebasan dengan pengendali terdapat pada Tabel 6.

Tabel 6. Respon Sistem AVR Pengendali (PID-PIDF)

Keadaan Respons	Kriteria	Nilai
<i>Transien</i>	<i>Rise Time</i> (T_r)	< 0,53 detik
	<i>Peak Time</i> (T_p)	< 1,26 detik
	<i>Settling Time</i> (T_s)	< 2,25 detik
	Nilai Puncak	< 0,54
	<i>Maximum Overshoot</i> (M_p)	< 7,81%
<i>Steady State</i>	Kesalahan Keadaan Mantap (e_{ss}) dengan masukan undak	< 0 detik

Respons transisi tegangan pada sistem AVR, baik dengan atau tanpa penerapan pengendali PID-PIDF pada arsitektur dua derajat kebebasan direpresentasikan dalam grafik pada Gambar 5.



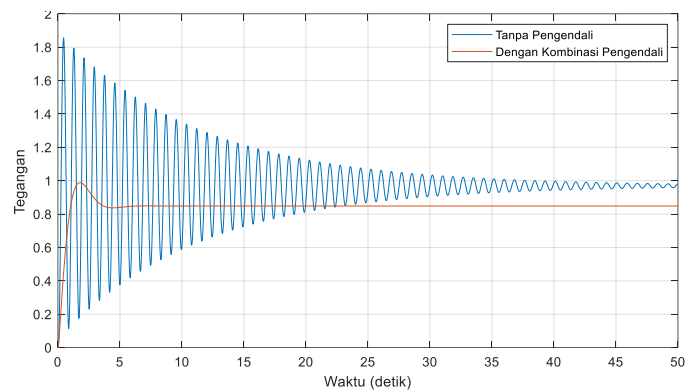
Gambar 5. Grafik Respons *Transien* Sistem AVR (PID-PIDF)

Hasil pengendali berikutnya yang memenuhi kriteria perancangan yaitu PIDF-I. Perhitungan parameter respons tegangan sistem AVR dengan pengendali PIDF-I pada arsitektur Dua derajat kebebasan dengan pengendali terdapat pada Tabel 7.

Tabel 7. Respon Sistem AVR Pengendali (PIDF-I)

Keadaan Respons	Kriteria	Nilai
<i>Transien</i>	<i>Rise Time</i> (T_r)	< 0,74 detik
	<i>Peak Time</i> (T_p)	< 1,78 detik
	<i>Settling Time</i> (T_s)	< 3,32 detik
	Nilai Puncak	< 0,98
	<i>Maximum Overshoot</i> (M_p)	< 16,48%
<i>Steady State</i>	Kesalahan Keadaan Mantap (e_{ss}) dengan masukan undak	< 0 detik

Respons transisi tegangan pada sistem AVR, baik dengan atau tanpa penerapan pengendali PIDF-I pada arsitektur dua derajat kebebasan direpresentasikan dalam grafik pada Gambar 6.



Gambar 6. Grafik Respons *Transien* Sistem AVR (PIDF-I)

Selanjutnya hasil simulasi pengendali yang memenuhi kriteria perancangan yaitu PIDF-PID. Perhitungan parameter respons tegangan sistem AVR dengan pengendali PIDF-PID pada arsitektur Dua derajat kebebasan dengan pengendali terdapat pada Tabel 8.

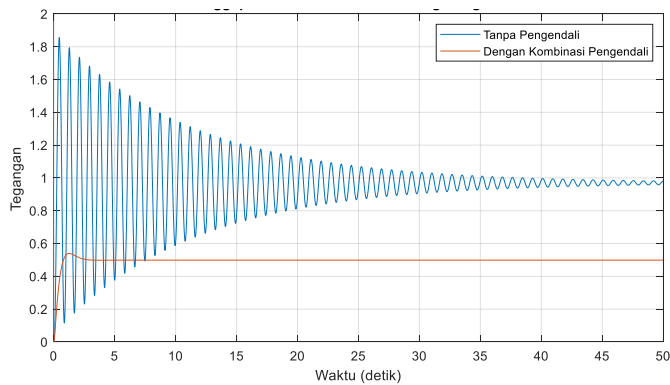
Tabel 8. Respon Sistem AVR Pengendali (PIDF-PID)

Keadaan Respons	Kriteria	Nilai
<i>Transien</i>	<i>Rise Time</i> (T_r)	< 0,53 detik
	<i>Peak Time</i> (T_p)	< 1,26 detik
	<i>Settling Time</i> (T_s)	< 2,28 detik
	Nilai Puncak	< 0,53
	<i>Maximum Overshoot</i> (M_p)	< 8%
<i>Steady State</i>	Kesalahan Keadaan Mantap (e_{ss}) dengan masukan undak	< 0 detik

Respons transisi tegangan pada sistem AVR, baik dengan atau tanpa penerapan pengendali PIDF-PID pada arsitektur dua derajat kebebasan direpresentasikan dalam grafik pada Gambar 7.

Pengendali terakhir yang memenuhi kriteria perancangan yaitu PIDF-PIDF. Perhitungan parameter respons tegangan sistem AVR dengan pengendali PIDF-PIDF pada arsitektur Dua derajat kebebasan dengan pengendali terdapat pada Tabel 9.

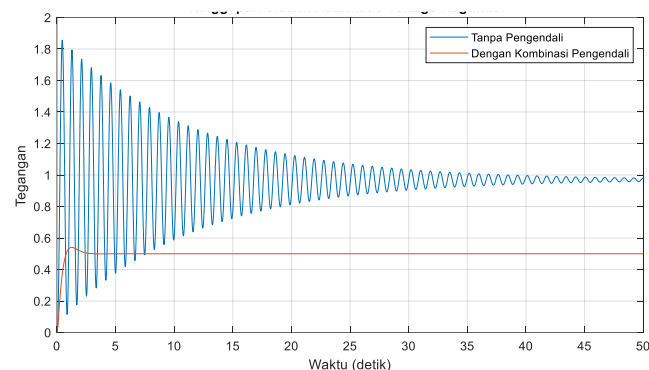
Respons transisi tegangan pada sistem AVR, baik dengan atau tanpa penerapan pengendali PIDF-PIDF pada arsitektur dua derajat kebebasan direpresentasikan dalam grafik pada Gambar 8.



Gambar 7. Grafik Respons *Transien* Sistem AVR (PIDF-PID)

Tabel 9. Respon Sistem AVR Pengendali (PIDF-PIDF)

Kedaaan Respons	Kriteria	Nilai
<i>Transien</i>	Rise Time (T_r)	< 0,53 detik
	Peak Time (T_p)	< 1,25 detik
	Settling Time (T_s)	< 2,25 detik
	Nilai Puncak	< 0,54
	Maximum Overshoot (M_p)	< 8,15%
<i>Steady State</i>	Kesalahan Keadaan Mantap (e_{ss}) dengan masukan undak	< 0 detik



Gambar 8. Grafik Respons *Transien* Sistem AVR (PIDF-PIDF)

B. Analisa

Melalui eksperimen simulasi yang melibatkan 49 variasi pengendali pada sistem AVR menggunakan arsitektur dua derajat kebebasan, hasil penelitian mengungkapkan bahwa terdapat enam pengendali yang memenuhi standar perancangan yang telah ditetapkan. Keenam pengendali tersebut melibatkan P-PDF, PID-PID, PID-PIDF, PIDF-I, PIDF-PID, dan PIDF-PIDF. Kehadiran keenam pengendali ini, yang memenuhi persyaratan perancangan, menunjukkan keberhasilan arsitektur pengendali dua derajat kebebasan dalam menjalankan fungsi optimal pada sistem AVR dengan menggunakan jenis pengendali yang disebutkan.

Lebih spesifik pada nilai analisis kondisi *steady state* untuk keenam pengendali yang memenuhi kriteria perancangan bernilai 0. Nilai ini didapatkan karena sistem AVR dengan pengendali P-PDF, PID-PID, PID-PIDF, PIDF-I, PIDF-PID, dan PIDF-PIDF tidak bertipe sistem 1. Dimana apabila tipe sistem bernilai >1 maka nilai kesalahan keadaan mantap dengan masukan undak akan bernilai 0.

V. KESIMPULAN

Berdasarkan hasil pengujian, dapat disimpulkan bahwa sistem AVR yang menggunakan pengendali dengan arsitektur 2 DOF menunjukkan kinerja yang optimal pada kombinasi pengendali P-PDF, PID-PID, PID-PIDF, PID-I, PIDF-PID, dan PIDF-PID. Evaluasi kinerja ini dilakukan dengan menganalisis respons performansi dinamik dari sistem AVR dengan pengendali-pengendali tersebut.

UCAPAN TERIMA KASIH

Penulis menyampaikan rasa syukur kepada Tuhan Yang Maha Esa dan pihak-pihak yang turut berkontribusi dalam kelancaran penelitian ini. Juga, terima kasih kepada tim editorial Jurnal Teknologi Elektro atas publikasi hasil penelitian ini.

DAFTAR PUSTAKA

- [1] A. Alanazi, Khodaei Amin, and Babazadeh Hamed, "Power fluctuation reduction in wind turbine generator systems," *IEEE*, 2016, doi: 10.1109/NAPS.2016.7747854.
- [2] P. M. Patil and D. S. K. Patil, "Automatic Voltage Regulator," in *International Conference on Emerging Trends in Information Technology and Engineering, ic-ETITE 2020*, Institute of Electrical and Electronics Engineers Inc., Feb. 2020. doi: 10.1109/ic-ETITE47903.2020.476.
- [3] R. Kumari and A. Kumar, "Power system stabilizer design for ideal AVR using local measurements," *Elsevier*, 2023.
- [4] I. Irianto, Arman, and Amin Setiadj, Amin, "Implementasi Kontroler PID Pada AVR (Automatic Voltage Regulator) Untuk Pengaturan Tegangan Eksitasi Generator Sinkron 3 Fasa - EEPIS Repository," *Pens.ac.id*, 2024, doi: http://repo.pens.ac.id/1244/1/paper_final_project.pdf.
- [5] E. Rijanto, "Design Of Manual Voltage Regulator With Interlock Feature For 9 MVA HEPP," *Ketenagalistrikan dan Energi Terbarukan*, vol. 11, no. 1, 2012.
- [6] S. Ekinici, B. Hekimoğlu and E. Eker, "Optimum Design of PID Controller in AVR System Using Harris Hawks Optimization," *2019 3rd International Symposium on Multidisciplinary Studies and Innovative Technologies (ISMSIT)*, Ankara, Turkey, 2019, pp. 1-6, doi: 10.1109/ISMSIT.2019.8932941.
- [7] S. Singh, V. Singh, A. Rani and J. Yadav, "Optimization of PID controller based on various tuning methods," *2023 International Conference on Power, Instrumentation, Energy and Control (PIECON)*, Aligarh, India, 2023, pp. 1-6, doi: 10.1109/PIECON56912.2023.10085805.
- [8] T. Dedi Pamungkas *et al.*, "Modifikasi Topologi Pengendali PID untuk Automatic Voltage Regulator Generator Sinkron," *JNTEI*, vol. 6, no. 3, 2017.
- [9] C.-T. Chao, N. Sutarna, J.-S. Chiou, and C.-J. Wang, "An Optimal Fuzzy PID Controller Design Based on Conventional PID Control and Nonlinear Factors," *Applied sciences*, vol. 9, no. 6, pp. 1224-1224, Mar. 2019, doi: <https://doi.org/10.3390/app9061224>.
- [10] A. Zaidi, I. Basith, and V. Khan, "Intelligent PID Controller for Automatic Voltage Regulation," *Electrical and Electronic Engineering*, no. 1, pp. 1-12, 2022, doi: 10.5923/j.eee.20221201.01.
- [11] C. R. Harahap, E. Komalasari, and N. J. Putri, "Perancangan Self Tuning Dua Derajat Kebebasan dengan Metode Fuzzy Logic pada Pengendalian Kecepatan Motor Sinkron Magnet Permanen Menggunakan Metode Vector Control," *Electron*, 2021.
- [12] O. Rodríguez-Abreo, J. Rodríguez-Reséndiz, C. Fuentes-Silva, R. Hernández-Alvarado and M. D. C. P. T. Falcón, "Self-Tuning Neural Network PID With Dynamic Response Control," in *IEEE Access*, vol. 9, pp. 65206-65215, 2021, doi: 10.1109/ACCESS.2021.3075452.
- [13] K. Mahender, Pulluri Harish, and Dahiya Preeti, "Performance analysis of proportional integral derivative controller for frequency regulation of

- an interconnected power system integrated with renewable energy sources," *Elsevier*, vol. 92, pp. 1464–1470, 2023
- [14] H. A. Suthar and J. Gadit, "Two Degree of Freedom PID Controller, Its Equivalent Forms and Special Cases," *International Journal of Robotics and Automation (IJRA)*, vol. 4, no. 4, pp. 269–283, 2015
- [15] T. Ali, S. A. Malik, A. Daraz, S. Aslam, and T. Alkhalifah, "Dandelion Optimizer-Based Combined Automatic Voltage Regulation and Load Frequency Control in a Multi-Area, Multi-Source Interconnected Power System with Nonlinearities," *Energies (Basel)*, vol. 15, no. 22, Nov. 2022, doi: 10.3390/en15228499